

DIALOG(R)File 352:DERWENT WPI

(c)1998 Derwent Info Ltd. All rts. reserv.

008591891 **Image available**

WPI Acc No: 91-095923/199114

XRAM Acc No: C91-041003

XRPX Acc No: N91-074153

Semiconductor thin film prodn. - by two-stage heat treatment of
amorphous silicon film

Patent Assignee: CANON KK (CANO)

Inventor: YONEHARA T

Number of Countries: 007 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 420516	A	19910403	EP 90310341	A	19900921		199114 B
JP 3109717	A	19910509	JP 89247662	A	19890923		199125
US 5278093	A	19940111	US 90587111	A	19900924	H01L-021/20	
199403	US 92919372	A	19920729				
EP 420516	B1	19960724	EP 90310341	A	19900921	H01L-021/20	
		199634					

Priority Applications (No Type Date): JP 89247662 A 19890923

Cited Patents: 5.Jnl.Ref; WO 8904550

Patent Details:

Patent	Kind	Lat	Pg	Filing	Notes	Application	Patent
US 5278093	A	6	Cont of			US 90587111	

EP 420516 B1 E 7

Designated States (Regional): DE FR GB IT NL

Abstract (Basic): EP 420516 A

A semiconductor thin film forming process involves crystallising an amorphous silicon thin film by heat treating at upto 700 deg.C for at least 10 hrs. and then heat treating at at least 1200 deg.C by exposure to a lamp pref. for 1-3 mins.

A semiconductor forming process involves crystal growth and opt. initiation in a low temp. stage followed by a high temp. stage.

USE/ADVANTAGE - The processes are useful for forming a polysilicon thin film on structural elements of a 3-D IC or a large area electronic device. The resulting thin film is formed rapidly, has bulk uniformity and has a large grain size and few intragranular defects. (8pp
Dwg.No.1/1)

Title Terms: SEMICONDUCTOR; THIN; FILM; PRODUCE; TWO-STAGE; HEAT;

HEAT; AMORPHOUS; SILICON; FILM

Derwent Class: L03; U11; U13

International Patent Class (Main): H01L-021/20

International Patent Class (Additional): C30B-001/02; H01L-021/324;

H01L-027/00 File Segment: CPI; EPI

⑩日本国特許庁 (JP) ⑪特許出願公開
 ⑫公開特許公報 (A) 平3-109717

⑬Int. Cl.³
 H 01 L 21/20
 C 30 B 1/02
 H 01 L 27/00
 // H 01 L 21/324

識別記号
 301 R

庁内整理番号
 7739-5F
 8618-4G
 7514-5F
 7738-5F

⑭公開 平成3年(1991)5月9日

審査請求 未請求 請求項の数 10 (全5頁)

⑮発明の名称 半導体薄膜の形成方法

⑯特 願 平1-247662
 ⑰出 願 平1(1989)9月23日

⑱発明者 米原 隆夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ⑳代理人 弁理士 福森 久夫

明 本田

1. 発明の名称

半導体薄膜の形成方法

2. 特許請求の範囲

(1) 非晶質半導体薄膜に対し、該半導体の融点(ケルビン単位)の60%以下の温度で10時間以上の第1次熱処理を行い、次いで、該半導体の融点(ケルビン単位)の85%以上の温度で第2次熱処理を行うことを特徴とする半導体薄膜の形成方法。

(2) 前記第2次熱処理を、該半導体の融点(ケルビン単位)の90%以上の温度で行うことを特徴とする請求項1記載の半導体薄膜の形成方法。

(3) 半導体はSiであり、第1次熱処理温度は700℃以下、第2次熱処理温度は1200℃以上である請求項1記載の半導体薄膜の形成方法。

(4) 半導体はSiであり、第2次熱処理を1300℃以上の温度で行うことを特徴とする請求項1記載の半導体薄膜の形成方法。

求項2記載の半導体薄膜の形成方法。

(5) 前記第2次熱処理はインコヒーレント光を用いて行うことを特徴とする請求項1ないし4記載の半導体薄膜の形成方法。

(6) 第2次熱処理を、第1次熱処理により形成された多結晶半導体薄膜上にキャッピング材料を設けて行うことを特徴とする請求項1ないし6記載の半導体薄膜の形成方法。

(7) キャッピング材料はスパッタリングにより形成されたSiO₂ないしSi₃N₄であることを特徴とする請求項6記載の半導体薄膜の形成方法。

(8) キャッピング材料の厚さを10nm～100nmとすることを特徴とする請求項6または7記載の半導体薄膜の形成方法。

(9) 第2次熱処理温度への昇温速度を100℃/sec～500℃/secとすることを特徴とする請求項1ないし8記載の半導体薄膜の形成方法。

(10) 第2次熱処理における加热時間を1～3

特開平3-109717(2)

分離とすることを特徴とする請求項1ないし9記載の半導体薄膜の形成方法。

3. 発明の詳細な説明

【発明上の利用分野】

本発明は、例えば3次元集積回路の構成要素あるいは大面积電子素子に適用される半導体薄膜の形成方法に関する。

【従来の技術】

従来、非晶質基板上に結晶薄膜を形成する方法としては、基板上に予め形成された非晶質薄膜を融点以下の低温における熱処理によって固相成長させら方法が提案されている。

例えば、非晶質のSiO₂上に形成され、イオン注入によって非晶質化された膜厚100nm程度の非晶質Si薄膜を、N₂雰囲気中において600℃で数時間熱処理することにより固相成長を行わしめ、前記非晶質Si薄膜を結晶化すると、この非晶質Si薄膜は、粒径が5μmにも達する多結晶Si薄膜になるという技術が報告されている(T. Nagatli, H. Hayashi and H. Ohshiba

枝状)成長であるため、各結晶粒内部には大量の結晶欠陥が存在すると考え、透過電子顕微鏡で結晶構造を実際に観察した結果、大量の欠陥が存在することを、また、キャリア移動度も制限されることを本発明者は確認した。

他方、非晶質絶縁物基板上の結晶成長技術として、エネルギービーム(ヒーリート光(レーザー光)、電子線、イオン線)等を用いた局所的高温熱処理が報告されている。この方法は、エネルギービームを絞り、局所領域を融点近くまで昇温して結晶化させる方法であり局所的加熱であるため、基板全体は、温度が上昇せず実質的に低温プロセスとなり得る。しかし、局所加熱法であるということは、基板全面の大面积領域を熱処理するためには、ビームを走査せざるを得ず、加えるに、そのビーム走査時のビームの重なり具合、焦点深度等の微調整が必要となり、大面积を均一に、処理するには長時間を要し、生産性、制御性の両点において問題が山積している。

・本発明の目的は、大粒径で粒内欠陥の少ない半

1987, Mat. Res. Soc. Symp. Proc. 106, Poly-
silicon and Interfaces, 233, Elsevier Science
Publishing, New York 1988)。この方法により
得られる多結晶薄膜の粒径は、減圧CVD法で堆
積した多結晶薄膜の粒径よりも百倍程も大きいた
め、その薄膜上には高性能の電子素子の作製が可
能である。例えば、上記方法により得られた薄膜
上に形成された電界効果トランジスタ(MOSF
ET)の電子移動度は、堆積されたまま多結晶と
なる減圧CVD法で堆積した薄膜上に形成された
MOSFETの電子移動度に比べて数倍から数十
倍高い。より具体的には、PチャネルあるいはN
チャネルMOSFETを作製した場合、後者の
キャリア移動度は約50cm²/V·secとなり、前者の移動度は100cm²/V·secとなる。

しかしながら、この技術は次のような問題を有
していることを本発明者は確認した。すなわち、
この技術における結晶成長様式は、双晶粒界を導
入することによって成長するデンドリティック(樹

導体薄膜を、短時間に均一性良く大面积にわたり
一括して形成することが可能な半導体薄膜の形成
方法を提供することを目的とする。

【課題を解決するための手段】

本発明の半導体薄膜の形成方法は、非晶質半導
体薄膜に対し、該半導体の融点(ケルビン単位)
の80%以下の温度で10時間以上の第1次熱処
理を行い、次いで、該半導体の融点(ケルビン単
位)の85%以上の温度で第2次熱処理を行うこ
とを特徴とする。

【作用】

・以下に本発明の作用・構成の詳細を本発明をな
すに既し得た知見とともに説明する。なお、以下
の説明は、半導体としてSiを例にとり行うが、
他の半導体についても同様に適用し得ることはい
うまでもない。

本発明者は、非晶質Si薄膜にランプによるイ
ンヒーリート光を照射して熱処理に曝し、その
照射後の結晶構造を透過電子顕微鏡でたんねん
に、大量の試料について観察を行ったところ次の

特開平3-109717(3)

重要な知見を得た。

④非晶質Si薄膜に、タンクステンハロゲンランプ光(波長0.5~3.5μm)を直接照射し、1100℃以上に1~3分間加熱すると、結晶化が起り、特に1200℃以上の加熱処理により1μm以下の粒径をもつ多結晶薄膜となり、粒内には、等傾角干涉線が観察される程に欠陥が少ないと分った。

⑤非晶質Si薄膜を、700℃で10時間~100時間熱処理することにより固相成長させ、粒径が1μm以上の大粒径樹枝状結晶を成長させた後に、1100℃以上の温度でランプによる照射を行うと、粒内の結晶欠陥(積層欠陥、マイクロ双晶、転位、空孔等)が前記のと同様に減少し、特に1200℃以上の熱処理により結晶欠陥は激減することが確かめられた。更にこの場合には粒界的移動・消滅が観察されないことが特徴であった。

⑥前記①、②において、1300℃、1400℃(加熱時間3分)と温度を上昇させるにしたが

併った粒成長は起こらない。

この様にして作製した大面積均一な結晶構造に変化せしめたSi薄膜にトランジスタ(Pチャネル電界効果トランジスタ)を作製した正孔キャリヤー移動度とサブスレッシュホールド性をランプ加熱温度に対して図示したものを第1図にかかげる。また、前記の試料、即ち非晶質Siに直接ランプ加熱により高温処理したものにMOSFETを作製した結果を、丸印(●)のプロットで示す。正孔キャリヤー移動度は1200℃未満の熱処理までは、ほとんど変化なく、10cm²/V·sec以下であるが1300℃以上の熱処理したものでは、急に移動度が向上し、10cm²/V·secを越える。サブレッシュホールド性は、1000mV/decade以上であり、このグラフにものらない程劣悪であった。

前記の試料即ち、非晶質Si薄膜を一塩低温で固相成長させ、1μm以上の大粒径化を行った後にランプを照射したものに、MOSFETを作製したものの正孔キャリヤー移動度の変化を丸印

い、粒内の欠陥の量が減少することもわかった。これらの現象は次の様に理解される。

前記①の場合には、非晶質Si薄膜が、一気に1100℃以上に加熱された結果、固相内の核形成速度が前記②の場合より高く、成長後、粒同士の衝突によって形成される粒界によって決定される粒径は微小な1μm以下のものとなり、更に、欠陥の自由エネルギーの減少を駆動力とした欠陥の移動・消滅がおきたものと判断される。この時、粒界エネルギー減少を駆動力とした粒成長も合わせて起きている。

前記③の場合には、低温アニールであるために、固相内での核形成速度が低く制限され、700℃以下10時間以上の熱処理で、1ミクロン以上の粒径となる。すなわち、大粒径の樹枝状多結晶が成長し、その後にランプによる1200℃加熱により、粒内の欠陥エネルギー減少を駆動力として欠陥群が移動・消滅する。但し、最大粒径が1μm以上と大きいため、粒界エネルギーの状態は、前記①の場合より低く、粒界の移動を

(○)で示し、サブスレッシュホールド性の変化を三角(△)で示す。低温固相成長したままのランプ照射を施す寸前のトランジスタでさえ、既にキャリヤー移動度が40cm²/V·secを越えており、1200℃まではゆるやかな向上があり58cm²/V·secとなつた。

さらに、1200℃以上の光照射加熱により、急激にその特性は向上し、1400℃では140cm²/V·secとなり、その特性は飛躍的に改善される。この向上は、1300℃以上で特に著しいことも判明した。同時にサブスレッシュホールド特性は1200℃までは700mV/decade以上であり、1300℃以上の熱処理により減少がはじまり、1300℃以上で特に著しい向上が観測される。

以上をまとめると、半導体非晶質薄膜に700℃以下10時間以上の第1次熱処理を施すと、固相における核形成速度が低減し、最大粒径がミクロンサイズの大粒径樹枝状結晶が成長する。次に、1200℃以上の熱処理(例えばランプによ

特開平3-109717(4)

るインコヒーレント光を銀塗布に照射することによる熱処理)を施すと、第1次熱処理により成長した粒径に変化をもたらすことなく粒内の結晶欠陥が減少し、デバイス特性の向上を図ることができることが判明し、本発明をなすにいたったものである。

なお、第1次熱処理を700℃を越えた温度で行うと得られる多結晶薄膜の最大粒径は1μm以下のものにならざるため700℃以下とする。下限温度は、固相成長が生ずるに十分な温度である。具体的には、非晶質薄膜の材料等により左右されるため、予め実験等により求めておき適宜設定すればよい。一方、第1次熱処理の時間が10時間未満では、固相成長が完全には進行せず、非晶質が残存するおそれがあるため10時間以上とする。

なお、第2次熱処理はランプを用いインコヒーレント光で加熱を行うことが好ましい。かかるランプ加熱によれば非常に短時間(数秒)で1200℃以上の温度に達し、下降も極めて迅速に行われ

ことが好まし。

一方、粒径の制御をより精密に行う上からは、第2次熱処理温度への昇温速度を100℃/sec~500℃/secとすること、第2次熱処理における加熱時間を1~3分間とすることが好ましい。

【実施例】

(実施例1)

Siウェハ上に0.1μm厚のSiO₂熱処化膜を成長させた基板上に、減圧CVD法(化学気相法)により0.1μm厚の多結晶Si膜を820℃で0.3 Torrで形成した。ソースガスはSiH₄を用いた。

この多結晶Si薄膜全域にSi⁺イオンを40keVの注入エネルギーで、 $3 \times 10^{14} \text{ cm}^{-2}$ の注入量でイオン注入し、多結晶Si薄膜を非晶質化した。

次に、600℃×50時間の熱処理をN₂中で電気炉を用いて行い(第1次熱処理)、樹枝状大粒径結晶(多結晶Si薄膜)を成長させた。この

る。さらに波長を選択することにより、Si薄膜のみの選択的加熱も可能であり効率よく粒内の欠陥を低減せしめることができる。この2つの点において一般上用いられている電気炉に対して有利である。とりわけ、通常の電気炉では1200℃以上の加熱は困難である。また、その大面積均一性においてもレーザー加熱法(走査)に比べて容易に向かっている。

なお、本発明においては、第2次熱処理を、第1次熱処理により形成された多結晶半導体薄膜上にキャッピング材料を設けて行うことが好ましい。かかるキャッピング材料を設けることにより形成する薄膜の表面粗度を區別して平滑にすることができる。キャッピング材料は、第3次熱処理により生じるするおそれがある薄膜表面の荒れ(表面の凹凸)の発生を防止する役割を有するものと考えられる。

なお、キャッピング材料はスパッタリングにより形成されたSiO₂ないしSi₃N₄が好ましい。また、その厚さは10nm~100nmとす

多結晶Si薄膜の粒径を區別したところ0.1~5μmであった。

この多結晶Si薄膜をタンゲステンハロゲンランプを両面よりSiウェハが昇温速度300℃/secで1400℃になる様に照射し1分間この温度に保持した(第2次熱処理)。以上のようにして作成した多結晶Si薄膜の粒径を區別したところ0.1~5μmであり第2次熱処理の前後により粒径の分布に変化はなかった。

なお、本例ではランプ照射中に生ずる薄膜の表面荒れを防止するため、多結晶Si薄膜の表面に、50nmのSiO₂(キャッピング材料)をスパッタリングによってキャップした。キャッピング材料を剥離して表面粗度を測定したところ表面の凹凸は数十人以内であった。

上記のようにして得られた薄膜上に、ICプロセスを用いて、ポリシリコンゲートのPチャネルMOSFETを作製した。その移動度は140cm²/V·secであった。

(実施例2)

特開平3-109717(5)

石英基板上に0.1μm厚の非晶質Si薄膜を
減圧CVD法で堆積した。堆積温度550°C、圧
力0.3Torrであった。

この非晶質Si薄膜にSi+イオンを全面にわ
たり、40keV、 $1 \times 10^{15}/\text{cm}^2$ で注入し
た。

次に、600°C×50時間の熱処理をN₂中に
おいて電気炉で行い回復成長させた。成長した多
結晶Si膜の粒径は0.1～5μmであった。

この薄膜上に50nmのSiO₂(キャッピング
材料)をスパッタで被覆した後、さらにタン
グステンハロゲンランプを用いて、Si薄膜上
に、Siウェハを光吸収物として接触させ【実施
例1】と同様に昇温速度200°C/secで昇温
し、1400°Cの光加熱を1分間行った。得られ
た薄膜の粒径も0.1～5μmであった。

キャップSiO₂、スパッタ膜を除去し、通常
のICプロセスによってPチャネルMOSFET
を作製した。その移動度は140cm²/V·
secであった。

れたデバイス特性に著しい向上がもたらされ
る。

4. 図面の簡単な説明

第1図は、第2次熱処理における加熱温度が電
子特性に与える影響を示すグラフである。

【実施例3】

Siウェハ上の0.1μm厚の熱処理膜上に真
空蒸着によって非晶質Si膜を0.1μm厚に堆
積した。真空度 3×10^{-3} Torr、蒸着速度
0.2Å/secであった。基板温度は、蒸着中
300°Cであった。この非晶質Si膜を電気炉で
N₂中600°C 50時間の熱処理を施こし、1
μm以上の大粒径樹枝状多結晶を成長させた後、
SiO₂ 50nmの厚さにスパッタ膜のキャッ
ピングを被覆した。タングステンハロゲンランプ
(波長0.3～3.5μm)を両面より照射し
昇温速度200°C/secとし、1350°Cで2
分間加熱した。得られた薄膜の粒径は約3μmで
あった。その後、通常のICプロセスでMOSF
ETを作製した。その移動度は100cm²/V·
secであった。

【発明の効果】

本発明によれば、大粒径で粒内欠陥のない半導
体薄膜を、短時間に均一性良く大面積にわたり一
括して形成することが可能となり、そこに作製さ

第1図

